

PAT-NO: JP02000294794A

DOCUMENT-IDENTIFIER: JP 2000294794 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE AND MANUFACTURE
THEREOF

PUBN-DATE: October 20, 2000

INVENTOR-INFORMATION:

NAME

TAMAOKI, YOICHI
WAKAHARA, YOSHIFUMI
IKEDA, TAKAHIDE
OTSUKA, FUMIO
ICHINOSE, KATSUHIKO

COUNTRY

N/A

N/A

N/A

N/A

N/A

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP11102509

APPL-DATE: April 9, 1999

INT-CL (IPC): H01L029/786, H01L021/76 , H01L027/08

ABSTRACT:

PROBLEM TO BE SOLVED: To realize a semiconductor integrated circuit device having a highly reliable CMOSFET formed on an SOI substrate without requiring notable increase of the number of manufacturing processes.

SOLUTION: A grooved element isolating region consisting of a silicon oxide film 17 buried into a groove 16 extending to a buried oxide film 2 is formed in a part of an element isolating region contiguous to the end

part of an active region, and an LOCOS-type element isolating region consisting of an LOCOS oxide film 18 not extending to the buried oxide film 2 is formed in the element isolating region excluding this grooved element isolating region, so that the increase of a parasitic capacitance is suppressed and further the minority carrier generated in a channel region can be diffused through a thin film silicon layer 3 under the LOCOS oxide film 18, and thus the variation of threshold voltage due to the accumulation of the minority carrier can be suppressed.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開2000-294794

(P2000-294794A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)	
H 0 1 L 29/786		H 0 1 L 29/78	6 2 1	5 F 0 3 2
21/76		27/08	3 3 1 E	5 F 0 4 8
27/08	3 3 1		3 3 1 A	5 F 1 1 0
		21/76	M	

審査請求 未請求 請求項の数9 O L (全 10 頁)

(21) 出願番号 特願平11-102509

(22) 出願日 平成11年4月9日 (1999. 4. 9)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 玉置 洋一

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 若原 祥史

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

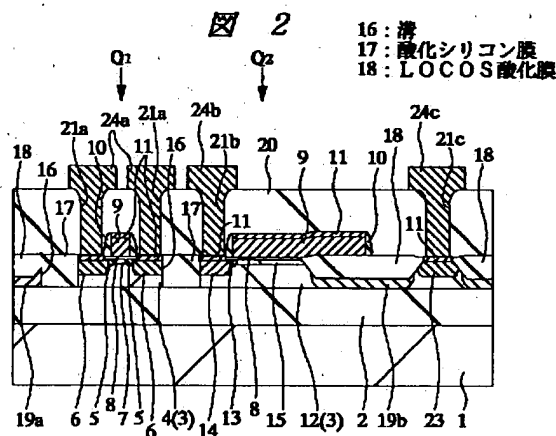
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 製造工程数の著しい増加を必要とせずに、S O I 基板に形成される高信頼度のCMOSFETを有する半導体集積回路装置を実現することのできる技術を提供する。

【解決手段】 活性領域の端部に接する素子分離領域の一部に埋め込み酸化膜2に達する溝16に埋め込まれた酸化シリコン膜17からなる溝型素子分離領域を形成し、この溝型素子分離領域以外の素子分離領域に埋め込み酸化膜2に達しないLOCOS酸化膜18からなるLOCOS型素子分離領域を形成することによって、寄生容量の増加が抑えられ、さらに、チャネル領域で発生した少数キャリアをLOCOS酸化膜18下の薄膜シリコン層3を通じて拡散できるので少数キャリアの蓄積によるしきい値電圧の変化が抑えられる。



【特許請求の範囲】

【請求項1】 支持基板上に埋め込み絶縁膜を介して設けられた薄膜シリコン層にMISTランジスタを有する半導体集積回路装置であって、前記薄膜シリコン層の主面上に設けられた素子分離領域が、前記埋め込み絶縁膜に接しないLOCOS絶縁膜によって構成される第1の素子分離領域と、前記埋め込み絶縁膜に達する溝に埋め込まれた絶縁膜によって構成される第2の素子分離領域とからなることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、前記第2の素子分離領域は、前記MISTランジスタが形成される活性領域の端部の一部に接して形成されていることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置において、前記溝は、最小加工寸法の2〜3倍程度の幅と、前記幅の2倍以下の深さを有することを特徴とする半導体集積回路装置。

【請求項4】 請求項1記載の半導体集積回路装置において、前記第1の素子分離領域を構成するLOCOS絶縁膜の上面と、前記第2の素子分離領域を構成する絶縁膜の上面とが、ほぼ同じ高さであることを特徴とする半導体集積回路装置。

【請求項5】 請求項1記載の半導体集積回路装置において、前記第1の素子分離領域を構成するLOCOS絶縁膜と前記埋め込み絶縁膜との間の前記薄膜シリコン層の厚さは、0.02〜0.15 μ mであることを特徴とする半導体集積回路装置。

【請求項6】 請求項2記載の半導体集積回路装置において、前記第2の素子分離領域は、前記MISTランジスタのゲート電極のゲート幅方向と平行に配置されていることを特徴とする半導体集積回路装置。

【請求項7】 支持基板上に埋め込み絶縁膜を介して設けられた薄膜シリコン層にMISTランジスタを形成する半導体集積回路装置の製造方法であって、(a).前記薄膜シリコン層上に第1の絶縁膜および第2の絶縁膜を順次堆積した後、第1の素子分離領域の前記第2の絶縁膜および前記第1の絶縁膜を順次除去する工程と、(b).前記支持基板上に熱酸化処理を施すことによって、前記第1の素子分離領域の前記薄膜シリコン層の表面に、前記埋め込み絶縁膜に接しないLOCOS絶縁膜を形成する工程と、(c).第2の素子分離領域の前記第2の絶縁膜、前記第1の絶縁膜および前記薄膜シリコン層を順次除去して、前記埋め込み絶縁膜に達する溝を形成する工程と、(d).前記支持基板上に第3の絶縁膜を形成した後、前記第3の絶縁膜の表面を平坦化して、前記溝に前記第3の絶縁膜を埋め込む工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項7記載の半導体集積回路装置の製造方法において、前記第3の絶縁膜の表面は、前記第2の絶縁膜をストップとした化学的機械研磨法によって平

坦化されることを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項7記載の半導体集積回路装置の製造方法において、前記第3の絶縁膜の形成膜厚の下限は前記溝の深さまたは前記溝の幅の $(2)^{-1/2}$ と同じ厚さであり、上限は1.0 μ m程度であることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、SOI (Silicon On Insulator) 基板上に形成される相補型MOSFET (CMOSFET: Complementary Metal Oxide Semiconductor Field Effect Transistor) を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】SOI基板の0.05〜0.3 μ m程度の薄膜シリコン層に形成されるMISFET (Metal Insulator Semiconductor FET) は、そのソース、ドレインを構成する半導体領域の底面を埋め込み酸化膜で絶縁できることから、バルク基板に形成されるMISFETが有する寄生容量よりも小さい寄生容量を有することができる。

【0003】さらに、隣接するMISFET間を電気的に分離するフィールド絶縁膜を薄膜シリコン層の表面に厚く形成することによって、ラッチアップ現象または隣接するMISFET間のリーク現象などを抑制することができる。すなわち、MISFETの活性領域を完全に絶縁膜で囲むことによって、寄生容量の低減と寄生トランジスタ効果の抑制とを実現することが可能である。

【0004】しかし、完全に絶縁膜で囲まれた活性領域に形成されたMISFETを動作させると、MISFETのチャネル領域で発生した少数キャリアが拡散せず蓄積するため、MISFETのしきい値電圧が変化するという問題が生じる。

【0005】そこで、埋め込み酸化膜に達する深い溝に絶縁膜を埋め込んだ深溝型素子分離領域と、埋め込み酸化膜に達しない浅い溝に絶縁膜を埋め込んだ浅溝型素子分離領域とで構成した素子分離が提案された。

【0006】すなわち、深溝型素子分離領域によってMISFETが有する寄生容量を低く抑えると共に、浅溝型素子分離領域を構成する浅い溝に埋め込まれた絶縁膜の下に薄膜シリコン層を通してMISFETのチャネル領域で発生した少数キャリアを拡散させて、MISFETのしきい値電圧の変化を抑えることができる。

【0007】SOI基板に形成されたチャネル領域に発生した少数キャリアを逃がす構造のMISFETについては、たとえば、アイ・イー・イー・イー・シンボジウム・オン・ブイ・エル・エス・アイ・テクノロジー (IE EE Symposium on VLSI Technology, Digest of Technic

al Papers. PP.92~PP.93, 1996)などに記載がある。

【0008】

【発明が解決しようとする課題】しかしながら、前記埋め込み酸化膜に達する深溝型素子分離領域は深い溝に埋め込まれた絶縁膜によって構成され、前記埋め込み酸化膜に達しない浅溝型素子分離領域は浅い溝に埋め込まれた絶縁膜によって構成されるため、深い溝と浅い溝とを同一のSOI基板に形成する必要がある。このため、製造過程が複雑となり、製造工程数が増加してしまう。

【0009】本発明の目的は、製造工程数の著しい増加を必要とせずに、SOI基板に形成される高信頼度のCMOSFETを有する半導体集積回路装置を実現することのできる技術を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

(1) 本発明の半導体集積回路装置は、支持基板上に埋め込み絶縁膜を介して設けられた薄膜シリコン層に形成されたMISTランジスタを有しており、薄膜シリコン層の主面上に設けられた素子分離領域が、埋め込み絶縁膜に接しないLOCOS絶縁膜によって構成される第1の素子分離領域と、埋め込み絶縁膜に達する溝に埋め込まれた絶縁膜によって構成される第2の素子分離領域とからなるものである。

【0012】(2) 本発明の半導体集積回路装置は、前記(1)のMISTランジスタにおいて、第2の素子分離領域が、MISTランジスタが形成される活性領域の端部の一部に接して形成されているものである。

【0013】(3) 本発明の半導体集積回路装置は、前記(1)のMISTランジスタにおいて、第2の素子分離領域を構成する絶縁膜が埋め込まれた溝は、最小加工寸法の2~3倍程度の幅と、この幅の2倍以下の深さを有するものである。

【0014】(4) 本発明の半導体集積回路装置は、前記(1)のMISTランジスタにおいて、第1の素子分離領域を構成するLOCOS絶縁膜の上面と、第2の素子分離領域を構成する絶縁膜の上面とを、ほぼ同じ高さとするものである。

【0015】(5) 本発明の半導体集積回路装置は、前記(1)のMISTランジスタにおいて、第1の素子分離領域を構成するLOCOS絶縁膜と埋め込み絶縁膜との間の薄膜シリコン層の厚さを、0.02~0.15 μ mとするものである。

【0016】(6) 本発明の半導体集積回路装置は、前記(2)のMISTランジスタにおいて、第2の素子分離領域は、MISTランジスタのゲート電極のゲート幅

方向と平行に配置されているものである。

【0017】(7) 本発明の半導体集積回路装置の製造方法は、支持基板上に埋め込み絶縁膜を介して設けられた薄膜シリコン層にMISTランジスタを形成する際、薄膜シリコン層上に第1の絶縁膜および第2の絶縁膜を順次堆積した後、第1の素子分離領域の第2の絶縁膜および第1の絶縁膜を順次除去する工程と、支持基板に熱酸化処理を施すことによって、第1の素子分離領域の薄膜シリコン層の表面に、埋め込み絶縁膜に接しないLOCOS絶縁膜を形成する工程と、第2の素子分離領域の第2の絶縁膜、第1の絶縁膜および薄膜シリコン層を順次除去して、埋め込み絶縁膜に達する溝を形成する工程と、支持基板上に第3の絶縁膜を形成した後、第3の絶縁膜の表面を平坦化して、溝に第3の絶縁膜を埋め込む工程とを有するものである。

【0018】(8) 本発明の半導体集積回路装置の製造方法は、前記(7)のMISTランジスタの製造方法において、第3の絶縁膜の表面が、第2の絶縁膜をストップとした化学的機械研磨法によって平坦化されるものである。

【0019】(9) 本発明の半導体集積回路装置の製造方法は、前記(7)のMISTランジスタの製造方法において、第3の絶縁膜の形成膜厚の下限は溝の深さまたは溝の幅の(2)^{-1/2}と同じ厚さとし、その上限を1.0 μ m程度とするものである。

【0020】上記した手段によれば、零バイアスにおけるMISTランジスタのソース、ドレインを構成する半導体領域の空乏層を常に埋め込み酸化膜と接した状態とし、さらに、MISTランジスタのソース、ドレインが形成された活性領域の端部の一部を溝に埋め込まれた絶縁膜によって素子分離することによって、寄生容量を低減することができる。また、MISTランジスタのチャネル領域で発生した少数キャリアは、LOCOS絶縁膜の下に設けられた薄膜シリコン層を通して拡散するので、少数キャリアが蓄積せずMISTランジスタのしきい値電圧の変化を抑えることができる。

【0021】さらに、第2の素子分離領域を構成する絶縁膜が埋め込まれる溝の幅を最小加工寸法の2~3倍程度、その深さを幅の2倍以下とし、この絶縁膜の形成膜厚を限定することにより、一度のCMP工程で上記絶縁膜の表面の平坦化と埋め込みが可能となるので、製造工程数の著しい増加をまねくことなく、LOCOS絶縁膜によって構成される第1の素子分離領域と溝に埋め込まれた絶縁膜によって構成される第2の素子分離領域とを形成することができる。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0023】図1は、本発明の一実施の形態であるSOI基板上に形成されたCMOSFETを示すSOI基板

の要部平面図であり、図2は、図1のII-II'線におけるSOI基板の要部断面図である。図1および図2において、Q₁はpチャネル型MISFET、Q₂はnチャネル型MISFETである。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0024】pチャネル型MISFET Q₁は、支持基板1上に埋め込み酸化膜2を介して設けられた厚さ0.05~0.3μmの薄膜シリコン層3に形成されたn型ウェル4上に形成され、このn型ウェル4の表面には、

【0025】ここで、寄生容量の増加を抑えるために、零バイアスでのソース、ドレインの空乏層が常に埋め込み酸化膜2と接した状態となるように、ソース、ドレイン下の薄膜シリコン層3の厚さおよびp⁺型半導体領域6の深さは設定される。

【0026】また、上記一對のp⁻型半導体領域5の間のn型ウェル4の表面には、しきい値電圧制御層7が形成されている。このしきい値電圧制御層7の上には、酸化シリコン膜でゲート絶縁膜8が構成され、その上にはn型の多結晶シリコン膜でゲート電極9が構成されている。ゲート電極9の側壁には酸化シリコン膜または窒化シリコン膜によって構成されるサイドウォールスペーサ10が形成されており、このゲート電極9の表面およびソース、ドレインの表面にはチタンシリサイド膜11が形成されている。

【0027】nチャネル型MISFET Q₂は、厚さ0.05~0.3μmの薄膜シリコン層3に形成されたp型ウェル12上に形成され、このp型ウェル12の表面には、一對のn⁻型半導体領域13および一對のn⁺型半導体領域14によってソース、ドレインが構成されている。

【0028】ここで、寄生容量の増加を抑えるために、零バイアスでのソース、ドレインの空乏層が常に埋め込み酸化膜2と接した状態となるように、ソース、ドレイン下の薄膜シリコン層3の厚さおよびn⁺型半導体領域14の深さは設定される。

【0029】また、上記一對のn⁻型半導体領域13の間のp型ウェル12の表面には、しきい値電圧制御層15が形成されている。このしきい値電圧制御層15の上には、酸化シリコン膜でゲート絶縁膜8が構成され、その上にはn型の多結晶シリコン膜でゲート電極9が構成されている。ゲート電極9の側壁には酸化シリコン膜または窒化シリコン膜によって構成されるサイドウォールスペーサ10が形成されており、このゲート電極9の表面およびソース、ドレインの表面にはチタンシリサイド膜11が形成されている。

【0030】さらに、pチャネル型MISFET Q₁およびnチャネル型MISFET Q₂の各々の活性領域の

周囲には、埋め込み酸化膜2に接する溝16に埋め込まれた酸化シリコン膜17によって構成される溝型素子分離領域（図1に、相対的に濃い網掛けのハッチングで示す）と、埋め込み酸化膜2に接しないLOCOS酸化膜18によって構成されるLOCOS型素子分離領域（図1に、相対的に薄い網掛けのハッチングで示す）とが形成されている。上記溝16の幅は最小加工寸法の2~3倍程度、その深さは幅の2倍以下である。

【0031】溝16に埋め込まれた酸化シリコン膜17は、pチャネル型MISFET Q₁のゲート電極9のゲート幅方向と平行に活性領域に接して配置され、さらに、nチャネル型MISFET Q₂のゲート電極9のゲート幅方向と平行に活性領域に接して配置されている。LOCOS酸化膜18の下には、チャネル領域で発生した少数キャリアが拡散することのできる0.02~0.15μmの厚さの薄膜シリコン層3が形成されており、n型ウェル4およびp型ウェル12のこの領域にはチャネルストップとなるn型拡散層19aおよびp型拡散層19bがそれぞれ形成されている。

【0032】pチャネル型MISFET Q₁およびnチャネル型MISFET Q₂の上層は層間絶縁膜20によって覆われている。この層間絶縁膜20にはpチャネル型MISFET Q₁のソース、ドレインに達するコンタクトホール21a、nチャネル型MISFET Q₂のソース、ドレインに達するコンタクトホール21b、およびn型ウェル4に形成されたn⁺型拡散層22とp型ウェル12に形成されたp⁺型拡散層23とにそれぞれ達するコンタクトホール21cが形成されている。上記n⁺型拡散層22とp⁺型拡散層23は、キャリアの引き出し用電極を構成する。

【0033】コンタクトホール21a内にはpチャネル型MISFET Q₁のソース、ドレインに接する配線層24aが形成され、コンタクトホール21b内にはnチャネル型MISFET Q₂のソース、ドレインに接する配線層24bが形成され、コンタクトホール21c内にはn⁺型拡散層22とp⁺型拡散層23とにそれぞれ接する配線層24cが形成されている。

【0034】次に、前記図2に示した本発明の一実施の形態であるSOI基板上に形成されたCMOSFETの製造方法を図3~図13を用いて説明する。

【0035】まず、図3に示すように、支持基板1上の0.1~0.5μmの厚さの埋め込み酸化膜2を介して設けられた0.05~0.3μmの厚さの薄膜シリコン層3の表面に、酸化シリコン膜25および窒化シリコン膜26を順次堆積する。酸化シリコン膜25の厚さは、たとえば10~30nm程度、窒化シリコン膜26の厚さは、たとえば100~200nm程度である。

【0036】次に、図4に示すように、レジストパターン27をマスクとして窒化シリコン膜26をエッチングし、LOCOS型素子分離領域の窒化シリコン膜26を

除去する。次いで、図5に示すように、後にn型ウェル4が形成される薄膜シリコン層3へn型不純物を導入してn型拡散層19aを形成し、後にp型ウェル12が形成される薄膜シリコン層3へp型不純物（たとえば、ボロン（B））を加速エネルギー20keV、ドーズ量 $2 \times 10^{14} \text{ cm}^{-2}$ の条件で導入してp型拡散層19bを形成する。この際、上記n型不純物およびp型不純物は、薄膜シリコン層3の表面から深さ方向のほぼ中央までの領域に導入される。

【0037】次に、図6に示すように、窒化シリコン膜26をマスクとした選択酸化法によって、LOCOS型素子分離領域の薄膜シリコン層3の表面に厚さ約0.2 μm 程度のLOCOS酸化膜18を形成する。

【0038】次いで、図7に示すように、レジストパターン28をマスクとして溝型素子分離領域の窒化シリコン膜26、酸化シリコン膜25および薄膜シリコン層3を順次エッチングし、最小加工寸法の2～3倍程度の幅を有し、埋め込み酸化膜2に達する深さの溝16を形成する。この際、溝16の幅は最小加工寸法の2～3倍程度、その深さは上記幅の2倍以下に設定される。

【0039】次に、図8に示すように、化学的気相成長法（Chemical Vapor Deposition：CVD）法によって、たとえば、0.3 μm 程度の厚さの酸化シリコン膜17を窒化シリコン膜26の上層に堆積する。酸化シリコン膜17の厚さの下限は、溝16の深さとほぼ同じ厚さまたは溝16の幅の $(2)^{-1/2}$ であり、その上限は、形成時間、膜厚の均一性または膜の応力などによって決まり、たとえば約1.0 μm である。

【0040】次いで、図9に示すように、窒化シリコン膜26をストップとして化学的機械研磨（Chemical Mechanical Polishing：CMP）法によって、酸化シリコン膜17の表面を研磨する。上記溝16の幅を最小加工寸法の2～3倍程度、その深さを上記幅の2倍以下に限定し、さらに酸化シリコン膜17の形成膜厚を限定することによって、一度のCMP工程で酸化シリコン膜17の表面を平坦化でき、溝16の内部に酸化シリコン膜17を埋め込むことができる。

【0041】次に、図10に示すように、窒化シリコン膜26を除去した後、薄膜シリコン層3にn型ウェル4およびp型ウェル12を形成する。次いで、レジストパターンをマスクとしてpチャネル型MISFETQ₁のチャネル領域へp型不純物（たとえば、B）を導入して、しきい値電圧制御層7を形成し、同様に、レジストパターンをマスクとしてnチャネル型MISFETQ₂のチャネル領域へp型不純物（たとえば、B）を導入して、しきい値電圧制御層15を形成する。

【0042】次に、図11に示すように、酸化シリコン膜25を除去した後、薄膜シリコン層3の表面に酸化シリコン層によって構成されるゲート絶縁膜8を約6.5 nmの厚さで形成し、次いでSOI基板上にCVD法で

リン（P）を添加した多結晶シリコン膜（図示せず）を堆積する。次いで、レジストパターンをマスクとして上記多結晶シリコン膜をエッチングし、多結晶シリコン膜によって構成されるゲート電極9を形成する。

【0043】次に、レジストパターンでp型ウェル12上を覆った後、ゲート電極9をマスクとしてn型ウェル4にイオン打ち込み法によってp型不純物（たとえば、フッ化ボロン（BF₂））を導入し、pチャネル型MISFETQ₁のソース、ドレインの一部を構成する低濃度のp⁻型半導体領域5を形成する。

【0044】同様に、レジストパターンでn型ウェル4上を覆った後、ゲート電極9をマスクとしてp型ウェル12にイオン打ち込み法によってn型不純物（たとえば、砒素（As））を導入し、nチャネル型MISFETQ₂のソース、ドレインの一部を構成する低濃度のn⁻型半導体領域13を形成する。

【0045】次に、図12に示すように、SOI基板上にCVD法で堆積した酸化シリコン膜または窒化シリコン膜（図示せず）をRIE（Reactive Ion Etching）法でエッチングして、ゲート電極9の側壁にサイドウォールスペーサ10を形成する。

【0046】次に、レジストパターンでp型ウェル12上を覆った後、ゲート電極9およびサイドウォールスペーサ10をマスクとしてn型ウェル4にイオン打ち込み法によってp型不純物（たとえば、BF₂）を導入し、pチャネル型MISFETQ₁のソース、ドレインの他の一部を構成する高濃度のp⁺型半導体領域6を形成する。この時、キャリア引き抜き用電極部のp⁺型拡散層23も同時に形成する。

【0047】ここで、p⁺型半導体領域6の底面から埋め込み酸化膜2までの距離が0.3 μm 以下となるように、上記p型不純物の打ち込み条件、たとえばエネルギーまたはドーズ量は設定される。

【0048】同様に、レジストパターンでn型ウェル4上を覆った後、ゲート電極9およびサイドウォールスペーサ10をマスクとしてp型ウェル12にイオン打ち込み法によってn型不純物（たとえば、P）を導入し、nチャネル型MISFETQ₂のソース、ドレインの他の一部を構成する高濃度のn⁺型半導体領域14を形成する。この時、キャリア引き抜き用電極部のn⁺型拡散層22も同時に形成する。

【0049】ここで、n⁺型半導体領域14の底面から埋め込み酸化膜2までの距離が0.15 μm 以下となるように、上記n型不純物の打ち込み条件、たとえばエネルギーまたはドーズ量は設定される。

【0050】次に、厚さ30～50 nmのチタン膜（図示せず）をスパッタリング法またはCVD法によってSOI基板上に堆積する。その後、窒素雰囲気中で600～700℃の温度でRTA（Rapid Thermal Annealing）法により熱処理（第1アニール）を行なう。この第

1アニールによって、高抵抗のチタンシリサイド膜 (TiSi_x ($0 < x < 2$)) をpチャネル型MISFET Q_1 のゲート電極9の表面および p^+ 型半導体領域6の表面、nチャネル型MISFET Q_2 のゲート電極9の表面および n^+ 型半導体領域14の表面、キャリア引き抜き用電極部の p^+ 型拡散層23の表面、ならびにキャリア引き抜き用電極部の n^+ 型拡散層22の表面に形成する。

【0051】次に、未反応のチタン膜を H_2 O_2 : NH_4 OH : H_2 O 液で除去した後、窒素雰囲気中で800

～900℃の温度でRTA法により熱処理(第2アニール)を行ない、上記高抵抗のチタンシリサイド膜を低抵抗のチタンシリサイド膜(TiSi_2)11に変える。

【0052】その後、図13に示すように、SOI基板上に層間絶縁膜20を堆積し、この層間絶縁膜20をエッチングしてコンタクトホール21a, 21b, 21cを開孔し、次いで、層間絶縁膜20上に堆積した金属膜(図示せず)をエッチングして配線層24a, 24b, 24cを形成することにより、前記図1および図2に示した本実施の形態1のCMOSFETが完成する。

【0053】なお、本実施の形態では、零バイアスでのソース、ドレインの空乏層が常に埋め込み酸化膜2と接した状態となるように、pチャネル型MISFET Q_1 のソース、ドレインの一部を構成する p^+ 型半導体領域6の深さ、nチャネル型MISFET Q_2 のソース、ドレインの一部を構成する n^+ 型半導体領域14の深さ、および薄膜シリコン層3の厚さを設定したが、pチャネル型MISFET Q_1 のソース、ドレインの一部を構成する p^+ 型半導体領域6の底面、およびnチャネル型MISFET Q_2 のソース、ドレインの一部を構成する n^+ 型半導体領域14の底面が埋め込み酸化膜2と接してもよい。

【0054】この際、チャネル領域に発生した少数キャリアはゲート電極9の下領域を通してのみ拡散するので、少数キャリアを拡散するための通路の断面積が小さくなり、少数キャリアが蓄積されやすくなる。そこで、n型ウェル4およびp型ウェル12の不純物濃度を高く設定する、または基板浮遊効果の大きいnチャネル型MISFET Q_2 が形成されるp型ウェル12の不純物濃度だけを高く設定することによって、少数キャリアの拡散効果を向上してもよい。

【0055】また、本実施の形態では、pチャネル型MISFET Q_1 およびnチャネル型MISFET Q_2 のゲート電極9を多結晶シリコン膜で構成したが、図14に示すように、金属膜29と多結晶シリコン膜30との積層膜を用いてもよい。この際、ゲート電極9の上部を構成する金属膜29の上層には、絶縁膜31、たとえば酸化シリコン膜または窒化シリコン膜を設けることによって、チタンシリサイド膜11が金属膜29の上層に形成されるのを防ぐことができる。

【0056】また、本実施の形態では、pチャネル型MISFET Q_1 のゲート電極9の表面および p^+ 型半導体領域6の表面、nチャネル型MISFET Q_2 のゲート電極9の表面および n^+ 型半導体領域14の表面、キャリア引き抜き用電極部の p^+ 型拡散層23の表面、ならびにキャリア引き抜き用電極部の n^+ 型拡散層22の表面にチタンシリサイド膜11を形成したが、その他のシリサイド膜、たとえばコバルトシリサイド(CoSi_2)膜などを形成してもよい。

【0057】このように、本実施の形態では、零バイアスにおけるpチャネル型MISFET Q_1 のソース、ドレインの一部を構成する p^+ 型半導体領域6およびnチャネル型MISFET Q_2 のソース、ドレインの一部を構成する n^+ 型半導体領域14の空乏層を常に埋め込み酸化膜2と接した状態とし、さらに、pチャネル型MISFET Q_1 のソース、ドレインおよびnチャネル型MISFET Q_2 のソース、ドレインが形成された活性領域の端部を溝16に埋め込まれた酸化シリコン膜17によって素子分離することによって、寄生容量を低減することができる。また、チャネル領域で発生した少数キャリアが、LOCOS酸化膜18の下に設けられた0.02～0.15 μm の厚さの薄膜シリコン層3を通して拡散するので、少数キャリアの蓄積によるpチャネル型MISFET Q_1 およびnチャネル型MISFET Q_2 の各々のしきい値電圧の変化を抑えることができる。

【0058】さらに、溝型素子分離領域を構成する酸化シリコン膜17が埋め込まれる溝16の幅を最小加工寸法の2～3倍程度、その深さを幅の2倍以下とし、酸化シリコン膜17の形成膜厚を限定することにより、一度のCMP工程で酸化シリコン膜17の表面の平坦化と埋め込みが可能となるので、製造工程数の著しい増加をまねくことなく、LOCOS酸化膜18によって構成されるLOCOS型素子分離領域と溝16に埋め込まれた酸化シリコン膜17によって構成される溝型素子分離領域とを形成することができる。

【0059】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0060】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0061】本発明によれば、製造工程の著しい増加を必要とすることなく、寄生容量の増加および基板浮遊効果を抑えた高信頼度のCMOSFETを有する半導体集積回路装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるCMOSFETを

示すSOI基板の要部平面図である。

【図2】図1のII-II'線におけるSOI基板の要部断面図である。

【図3】本発明の一実施の形態であるCMOSFETの製造方法を示すSOI基板の要部断面図である。

【図4】本発明の一実施の形態であるCMOSFETの製造方法を示すSOI基板の要部断面図である。

【図5】本発明の一実施の形態であるCMOSFETの製造方法を示すSOI基板の要部断面図である。

【図6】本発明の一実施の形態であるCMOSFETの製造方法を示すSOI基板の要部断面図である。

【図7】本発明の一実施の形態であるCMOSFETの製造方法を示すSOI基板の要部断面図である。

【図8】本発明の一実施の形態であるCMOSFETの製造方法を示すSOI基板の要部断面図である。

【図9】本発明の一実施の形態であるCMOSFETの製造方法を示すSOI基板の要部断面図である。

【図10】本発明の一実施の形態であるCMOSFETの製造方法を示すSOI基板の要部断面図である。

【図11】本発明の一実施の形態であるCMOSFETの製造方法を示すSOI基板の要部断面図である。

【図12】本発明の一実施の形態であるCMOSFETの製造方法を示すSOI基板の要部断面図である。

【図13】本発明の一実施の形態であるCMOSFETの製造方法を示すSOI基板の要部断面図である。

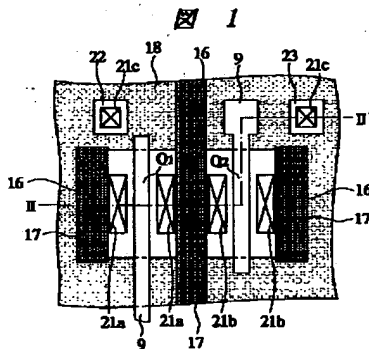
【図14】本発明の一実施の形態であるCMOSFETの製造方法を示すSOI基板の要部断面図である。

【符号の説明】

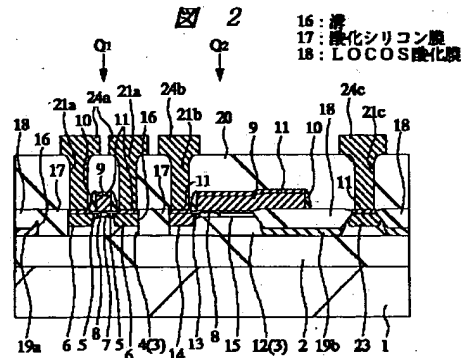
- 1 支持基板
- 2 埋め込み酸化膜
- 3 薄膜シリコン層
- 4 n型ウェル

- 5 p⁻型半導体領域
- 6 p⁺型半導体領域
- 7 しきい値電圧制御層
- 8 ゲート絶縁膜
- 9 ゲート電極
- 10 サイドウォールスペーサ
- 11 チタンシリサイド膜
- 12 p型ウェル
- 13 n⁻型ウェル
- 14 n⁺型ウェル
- 15 しきい値電圧制御層
- 16 溝
- 17 酸化シリコン膜
- 18 LOCOS酸化膜
- 19a n型拡散層
- 19b p型拡散層
- 20 層間絶縁膜
- 21a コンタクトホール
- 21b コンタクトホール
- 21c コンタクトホール
- 22 n⁺型拡散層
- 23 p⁺型拡散層
- 24a 配線層
- 24b 配線層
- 24c 配線層
- 25 酸化シリコン膜
- 26 窒化シリコン膜
- 27 レジストパターン
- 28 レジストパターン
- 29 金属膜
- 30 多結晶シリコン膜
- 31 絶縁膜

【図1】

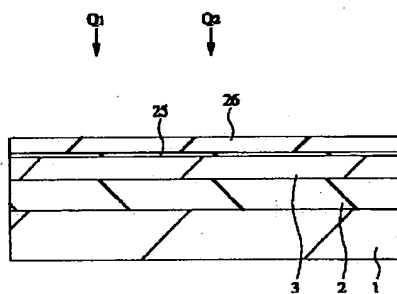


【図2】



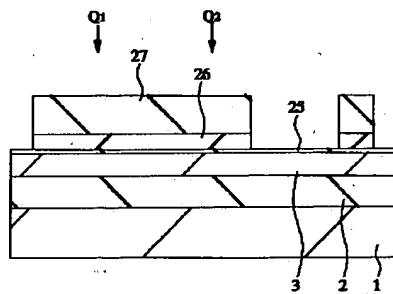
【図3】

図 3



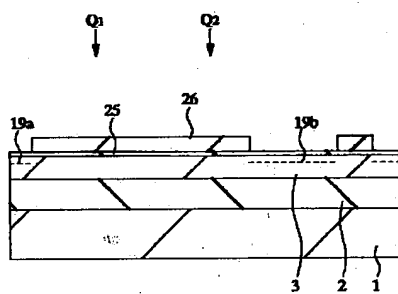
【図4】

図 4



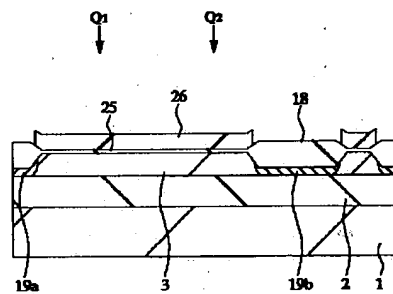
【図5】

図 5



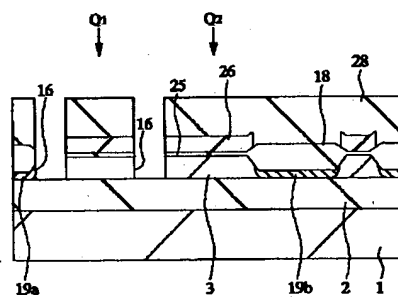
【図6】

図 6



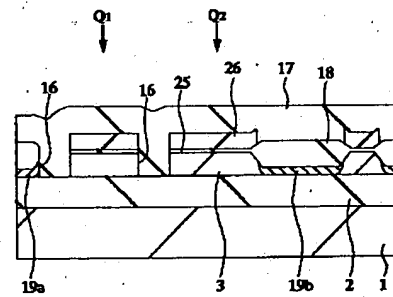
【図7】

図 7



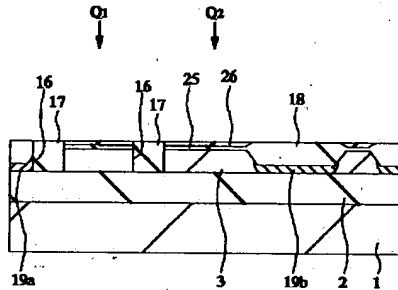
【図8】

図 8



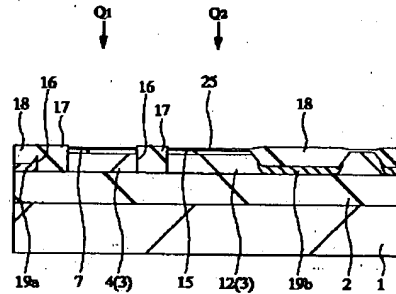
【図9】

図 9



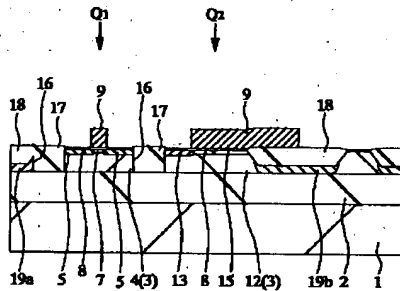
【図10】

図 10



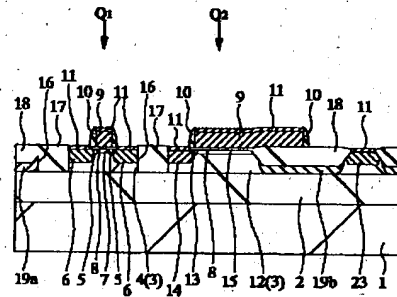
【図11】

図 11



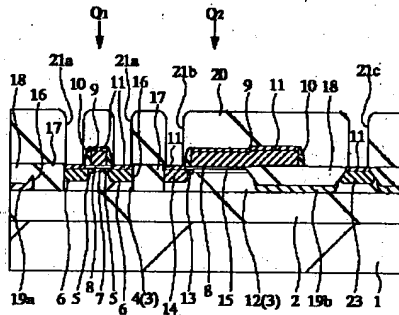
【図12】

図 12



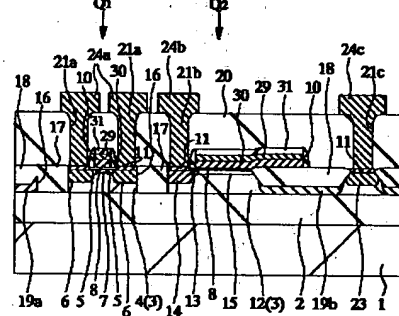
【図13】

図 13



【図14】

図 14



フロントページの続き

(72)発明者 池田 隆英
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 大塚 文雄
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 一瀬 勝彦
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

Fターム(参考) 5F032 AA13 BA01 CA03 CA17 CA20
DA02 DA24 DA33 DA34 DA43
DA78
5F048 AC03 BA01 BA09 BB05 BC06
BE03 BG01 BG12 DA23 DA25
DA26
5F110 AA02 AA15 BB04 DD05 EE09
EE32 EE45 FF02 GG02 GG12
HJ13 HL05 NN02 QQ05 QQ19